

Optimizacija dvostopenjskega Greinacherjevega polnovalnega usmernika

Borut Wagner, Árpád Búrmen, Janez Puhan, Sašo Tomažič in Tadej Tuma
Fakulteta za elektrotehniko
Univerza v Ljubljani
Tržaška cesta 25, SI-1000 Ljubljana, Slovenija
E-pošta: borut.wagner@fe.uni-lj.si

Optimization of the two-stage Greinacher full-wave rectifier

In this paper we present optimization of the Greinacher rectifier with SPICE OPUS circuit simulator. The rectifier is also used on wireless power transmission in radio frequency identification systems (RFID). Four optimization goals were used in optimization: DC voltage and ripple at output with and without load. Two steady-state analyses had to be computed within each iteration of the optimization loop. Each steady-state analysis took 23 minutes. For several thousands of iterations, optimization would take between ten and hundred days. For this reason the steady-state response was computed by means the extrapolation methods for transient analysis acceleration. For the Greinacher rectifier the steady-state response was computed 700-times faster than by means of the direct approach (transient analysis until all initial transients die off). The optimization took 2964 iterations and was finished in 3 hours and 10 minutes. Average improvement of the optimization goals was 16 %.

1 Uvod

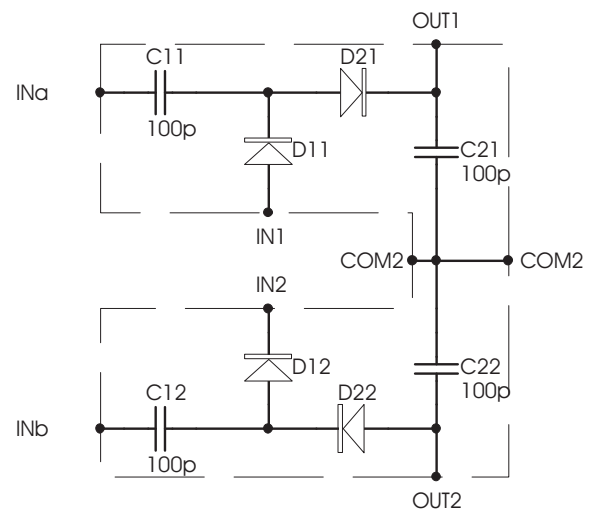
V članku je predstavljena optimizacija dvostopenjskega Greinacherjevega usmernika [1], ki se med drugim uporablja pri prenosu energije npr. za napajanje sistemov za radijsko identifikacijo (RFID - Radio Frequency Identification Systems). Prikazan je primer takšnega usmerniškega vezja s privzetimi vrednostmi parametrov elementov. Na podlagi teh vrednosti je izračunan stacionarni odziv vezja pri določenem vzbujanju na vhodu in z določenim bremenom na izhodu.

V tretjem razdelku je dvostopenjsko usmerniško vezje optimizirano glede na postavljene optimizacijske zahteve. Težava, ki se pri optimizaciji vezja pojavi, je dolgotrajnost izračuna stacionarnega stanja vezja, ki nastopa znotraj vsake iteracije optimizacijske zanke. Z uporabo algoritmov za pohitritev izračuna stacionarnega stanja se da pospešiti samo

analizo kot tudi celoten optimizacijski postopek. Na koncu članka je ocenjen še čas optimizacije, ki bi bil potreben, če bi za izračun stacionarnega stanja uporabili direktno tranzientno analizo namesto ekstrapolacijskih algoritmov.

2 Greinacherjev usmernik

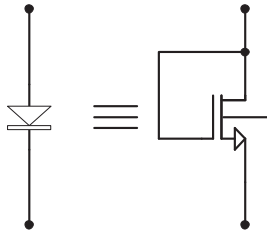
Na sliki 1 je prikazana ena stopnja Greinacherjevega usmernika. Vse diode so realizirane z uporabo n-kanalnih MOS tranzistorjev (slika 2). Uporabljena je bila 0,18 μm tehnologija TSMC.



Slika 1: Ena stopnja Greinacherjevega usmernika.
Figure 1: Single stage of a Greinacher rectifier.

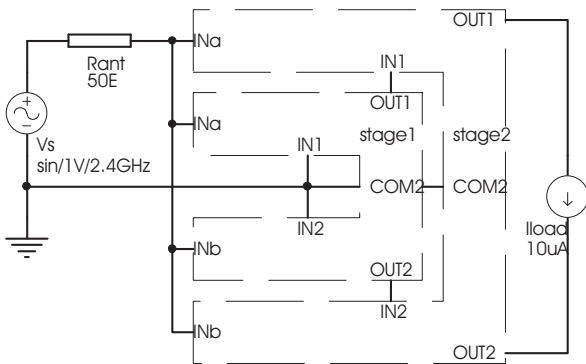
Analizirano je bilo dvostopenjsko Greinacherjevo usmerniško vezje (slika 3). Širine in dolžine tranzistorjev, ki modelirajo diode D_{11} , D_{12} , D_{21} in D_{22} v obeh stopnjah usmernika, so prikazane v tabeli 1.

Na vhod vezja je priključen sinusni napetostni vir frekvence 2,4 GHz in amplitude 1 V. Upor R_{ant} predstavlja impedanco antene in znaša 50 Ω . Na izhod je



Slika 2: Implementacija diode z n-kanalnim MOS tranzistorjem.

Figure 2: Implementation of a diode with an n-channel MOS.



Slika 3: Dvostopenjsko Greinacherjevo usmerniško vezje.

Figure 3: Two-stage Greinacher rectifier.

kot breme priključen enosmerni tokovni vir z vrednostjo $10 \mu\text{A}$.

2.1 Stacionarni odziv

Vezje na sliki 3 je bilo analizirano s privzetimi vrednostmi parametrov (tabela 1). Vrednosti vseh kondenzatorjev obeh stopenj so bile 100 pF . Izračunan je bil odziv vezja v stacionarnem stanju (slika 4).

Simulacijski čas stacionarnega odziva je bil $100 \mu\text{s}$ oziroma 240.000 period vhodnega signala V_s . Na osebнем računalniku AMD Athlon XP 2500+ (frekvenca ure $1,83 \text{ GHz}$) s 512 MB RAMa je izračun trajal 23 minut. V nadaljevanju bodo na kratko predstavljeni algoritmi, s katerimi lahko hitreje izračunamo stacionarno stanje. Z uporabo teh algoritmov tako postane optimizacija izvedljiva v doglednem času.

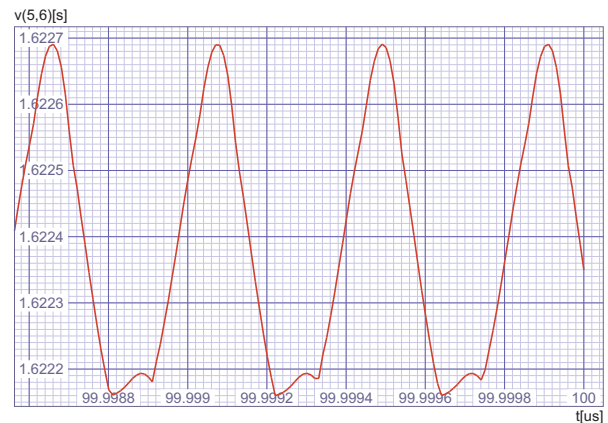
2.2 Pohitritev izračuna stacionarnega odziva

Uporaba ekstrapolacijskih metod [2, 3] se je izkazala za uspešno pri pospeševanju izračuna stacionarnega stanja [4, 5]. Z uporabo algoritma epsilon lahko

	Širina	Dolžina
D_{11} in D_{12} , stopnja 1	$10 \mu\text{m}$	$0,5 \mu\text{m}$
D_{21} in D_{22} , stopnja 1	$10 \mu\text{m}$	$0,5 \mu\text{m}$
D_{11} in D_{12} , stopnja 2	$8 \mu\text{m}$	$0,5 \mu\text{m}$
D_{21} in D_{22} , stopnja 2	$8 \mu\text{m}$	$0,5 \mu\text{m}$

Tabela 1: Začetne širine in dolžine diod (modeliranih z MOS tranzistorji) dvostopenjskega Greinacherjevega usmernika.

Table 1: Initial widths and lengths of the diodes (modelled with MOS transistors) of the two-stage Greinacher rectifier.



Slika 4: Odziv vezja (slika 3) v stacionarnem stanju.

Figure 4: The steady-state response of the circuit in figure 3.

izračunamo odziv vezja na sliki 3 v stacionarnem stanju 700-krat hitreje [5].

V simulator električnih vezij SPICE OPUS [6, 8] je bila vgrajena dodatna analiza *SSSE* za izračun stacionarnega stanja z uporabo ekstrapolacijske metode [5].

3 Optimizacija

Vezje na sliki 3 je bilo optimizirano s programskim paketom SPICE OPUS [7, 8, 9] z uporabo metode simpleksov.

Znotraj optimizacijske zanke je bila uporabljena analiza *SSSE*, saj bi pri uporabi direktne tranzientne analize za izračun stacionarnega stanja optimizacija trajala od deset do sto dni (odvisno od zahtev in s tem števila iteracij optimizacijske zanke).

3.1 Optimizacijski parametri

V tabeli 2 je opisanih pet optimizacijskih parametrov.

Parameter 0	Širina tranzistorjev, modeliranih z diodama D11 in D12 (stopnja 1)
Parameter 1	Širina tranzistorjev, modeliranih z diodama D21 in D22 (stopnja 1)
Parameter 2	Širina tranzistorjev, modeliranih z diodama D11 in D12 (stopnja 2)
Parameter 3	Širina tranzistorjev, modeliranih z diodama D21 in D22 (stopnja 2)
Parameter 4	Kapacitivnosti vseh kondenzatorjev (stopnja 1 in 2)

Tabela 2: Parametri optimizacije.

Table 2: The optimization parameters.

Znotraj optimizacijske zanke so se lahko optimizacijski parametri spreminjali v okviru eksplicitnih omejitev, ki so podane v tabeli 3.

Opt. par.	Začetna vrednost	Min. vrednost	Maks. vrednost	korak
0	10 μm	0,22 μm	100 μm	0,18 μm
1	10 μm	0,22 μm	100 μm	0,18 μm
2	8 μm	0,22 μm	100 μm	0,18 μm
3	8 μm	0,22 μm	100 μm	0,18 μm
4	100 pF	10 pF	300 pF	10 pF

Tabela 3: Začetne, minimalne, maksimalne vrednosti in korak optimizacijskih parametrov.

Table 3: Initial, minimum, maximum values, and increment of optimization parameters.

3.2 Optimizacijske zahteve

Optimizacija je potekala na podlagi optimizacijskih zahtev, ki so bile definirane preko meritev vezja [10]. Zahtevana je bila določena enosmerna izhodna napetost in omejenost valovitosti pri bremenu na izhodu in brez njega. Na osnovi meritev vezja, zahtev za posamezno meritev, uteži in norme meritve je tvorjena kriterijska funkcija, za katero postopek optimizacije poišče minimalno vrednost na določenem območju. V tabeli 4 so zbrane meritve vezja, zahteve, uteži in norme meritev.

Meritvi 1 in 2 sta bili izvedeni pri bremenu (kot je prikazano na sliki 3). Pri meritvah 3 in 4 je bilo breme (tokovni vir I_{load}) odstranjeno ($I_{load} = 0$). Meritve so definirane v (1)-(4).

$$V_{DC_load} = \left[\frac{1}{T} \int_T (v_{OUT2}(t) - v_{OUT1}(t)) dt \right]_{I_{load}=10\mu A} \quad (1)$$

Št. mer.	meritev	zahteva	utež	norma
1	V_{DC_load}	$> 2 \text{ V}$	3	1 V
2	V_{ripple_load}	$< 250 \mu\text{V}$	1	100 μV
3	V_{DC_noload}	$> 3 \text{ V}$	1	1 V
4	V_{ripple_noload}	$< 140 \mu\text{V}$	1	100 μV

Tabela 4: Meritve, ki so bile izvedene na vezju.

Table 4: Measurements performed on the circuit.

$$V_{ripple_load} = \max_T [(v_{OUT2}(t) - v_{OUT1}(t))]_{I_{load}=10\mu A} - \min_T [(v_{OUT2}(t) - v_{OUT1}(t))]_{I_{load}=10\mu A} \quad (2)$$

$$V_{DC_noload} = \left[\frac{1}{T} \int_T (v_{OUT2}(t) - v_{OUT1}(t)) dt \right]_{I_{load}=0} \quad (3)$$

$$V_{ripple_noload} = \max_T [(v_{OUT2}(t) - v_{OUT1}(t))]_{I_{load}=0} - \min_T [(v_{OUT2}(t) - v_{OUT1}(t))]_{I_{load}=0} \quad (4)$$

V meritvah uporabljena integrala, maksimalni in minimalni vrednosti so izračunani na intervalu dolžine $T = 417 \text{ ps}$, kolikor znaša perioda vhodnega signala oz. napetostnega vira V_s .

3.3 Rezultat optimizacije

Z opisano postavitvijo optimizacije smo v 2964 iteracijah optimizacijske zanke dosegli povprečno 16% izboljšanje meritev glede na začetne vrednosti. Tabela 5 prikazuje vrednosti meritev pred in po optimizaciji.

Iz tabel 4 in 5 je razvidno, da zahtevi za meritvi 1 in 3 nista bili izpolnjeni, kljub temu pa sta se vrednosti teh dveh meritev izboljšali za 10,5 % in 9,0 %. Zaradi tega vrednost kriterijske funkcije na koncu ni bila 0 (to bi se zgodilo v primeru, če bi bile izpolnjene zahteve vseh meritev), ampak je imela vrednost 0,6792.

3.4 Primerjava z direktnim izračunom stacionarnega stanja

Izračun stacionarnega stanja dvostopenjskega Greinacherjevega usmernika na uporabljenem

Številka meritve	pred optimizacijo	po optimizaciji	izboljšanje
1	1,624 V	1,794 V	10,5 %
2	326,0 μ V	249,9 μ V	23,3 %
3	2,670 V	2,911 V	9,0 %
4	176,5 V	138,8 μ V	21,3 %

Tabela 5: Vrednosti meritev pred in po optimizaciji.
Table 5: Measurement values before and after the optimization.

računalniku traja 23 minut. Ker znotraj optimizacijske zanke potrebujemo dva izračuna stacionarnega stanja (obremenjen in neobremenjen izhod), bi trajalo 2964 itreacij optimizacije približno 95 dni. Z uporabo hitrejšega računalnika oz. več računalnikov hkrati bi sicer lahko ta čas skrajšali, vendar lahko izračun stacionarnega stanja pohitrimo že z uporabo ekstrapolacijskih metod, ki so bile predstavljene v prejšnjih razdelkih. Z uporabo le-teh smo vezje optimizirali v nekaj več kot treh urah.

4 Zaključek

V članku smo prikazali optimizacijo dvostopenjskega Greinacherjevega usmernika. Vezje smo optimizirali glede na postavljene optimizacijske zahteve. Znotraj optimizacijske zanke je bil potreben izračun stacionarnega stanja, ki je za to vezje zelo dolgotrajen. Za izračun stacionarnega stanja je bil uporabljen ekstrapolacijski algoritem, ki analizo pohitri do te mere, da je optimizacijski postopek zaključen v doglednem času. Rezultat optimizacije vezja je povprečno 16% izboljšanje meritev.

5 Zahvala

Raziskave je sofinancirala Agencija za raziskovalno dejavnost v okviru programa P2-0246 - Algoritmi in optimizacijski postopki v telekomunikacijah.

Literatura

- [1] Jari-Pascal Curty, Norbert Joehl, François Krummenacher, Catherine Dehollain, Michel J. Declercq, "A Model for μ -Power Rectifier Analysis and Design" *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 52, no. 12, december 2005.
- [2] S. Skelboe, "Computation of the Periodic Steady-State Response of Nonlinear Networks by Extrapolation Methods", *IEEE Transactions on Circuits and Systems*, vol. CAS-27, no. 3, pp. 161-175, March 1980.

- [3] K. S. Kundert, J. K. White, A. Sangiovanni-Vincentelli, "Steady-state methods for simulation analog and microwave circuits", Kluwer Academic Publishers, 1990.
- [4] B. Wagner, Á. Búrmen, J. Puhan, I. Fajfar, T. Tuma, "Computing the steady-state response of nonlinear circuits by means of ϵ -algorithm" *Elektrotehniški vestnik*, vol. 72 (5):297-302, Ljubljana, Slovenija, 2005.
- [5] B. Wagner, Á. Búrmen, J. Puhan, S. Tomažič, T. Tuma, "Application of extrapolation algorithms in nonlinear circuit simulation and optimization with SPICE OPUS", *Midem informacije*, oddano 21.04.2006.
- [6] T. Quarles, A. R. Newton, D. O. Pederson, A. Sangiovanni-Vincentelli, "SPICE3 Version 3f4 User's Manual", University of California, Berkeley, California, 1989.
- [7] J. Puhan, T. Tuma, I. Fajfar, "SPICE for Windows 95/98/NT", *Electrotechnical Review*, vol. 65, no. 5, pp. 267-271, Ljubljana, Slovenija, 1998.
- [8] SPICE OPUS simulator vezij, domača stran: URL: <http://www.fe.uni-lj.si/spice/> Fakulteta za elektrotehniko, Laboratorij za računalniško načrtovanje vezij: URL: <http://www.fe.uni-lj.si/edalab/>
- [9] J. Puhan, T. Tuma, "Optimization of analog circuits with SPICE 3f4", *Proceedings of the ECCTD '97*, vol. 1, pp. 177-180, 1997.
- [10] BÚRMEN, Arpad, STRLE, Drago, BRATKOVIČ, Franc, PUHAN, Janez, FAJFAR, Iztok, TUMA, Tadej. "Automated robust design and optimization of integrated circuits by means of penalty functions." *AEÜ 2003, 57, no. 1, str. 47-56.*